

ANSWER 1 OF 1 CAPLUS COPYRIGHT 2005 ACS on STN

AN 2004:920086 CAPLUS

DN 142:188908

ED Entered STN: 03 Nov 2004

TI Method for forming capacitor electrode using hard mask

IN Park, Chang Heon

PA Hynix Semiconductor Inc., S. Korea

SO Repub. Korean Kongkae Taeho Kongbo, No pp. given
CODEN: KRXXA7

DT Patent

LA Korean

IC ICM H01L027-108

CC 76-10 (Electric Phenomena)

FAN. CNT 1

PATENT NO.	KIND	DATE	APPLICATION NO.	DATE
PI KR 2002014228	A	20020225	KR 2000-47399	20000817 <--
PRAI KR 2000-47399		20000817		

CLASS

PATENT NO.	CLASS	PATENT FAMILY CLASSIFICATION CODES
------------	-------	------------------------------------

KR 2002014228	ICM	H01L027-108
---------------	-----	-------------

AB A method for forming a capacitor electrode using a hard mask is provided to form an electrode of a vertical type, by etching a Pt layer while using a Ru layer as the hard mask or a Pt layer, Ir layer or IrO₂ layer as the hard mask. The Pt layer to constitute a lower electrode is formed. A Ru hard mask is formed on the Pt layer. The Pt layer not covered with the Ru hard mask is selectively etched to form a Pt lower electrode. A dielec. layer and an upper electrode are formed on the Pt lower electrode and the Ru hard mask.

ST capacitor electrode hard mask

IT Capacitor electrodes

(forming capacitor electrode using hard mask)

IT 7440-06-4, Platinum, uses

RL: DEV (Device component use); USES (Uses)

(forming capacitor electrode using hard mask)

IT 7439-88-5, Iridium, uses 7440-18-8, Ruthenium, uses 12030-49-8, Iridium oxide (IrO₂)

RL: NUU (Other use, unclassified); USES (Uses)

(forming capacitor electrode using hard mask)

10-690,745

DERWENT-ACC-NO: 2002-563578

DERWENT-WEEK: 200260

COPYRIGHT 2005 DERWENT INFORMATION LTD

TITLE: Method for forming capacitor electrode using hard mask

INVENTOR: PARK, C H

PATENT-ASSIGNEE: HYNIX SEMICONDUCTOR INC[HYNIN]

PRIORITY-DATA: 2000KR-0047399 (August 17, 2000)

PATENT-FAMILY:

~~10-690,745~~

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
KR 2002014228 A	February 25, 2002	N/A	001	H01L 027/108

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO	APPL-DATE
KR2002014228A	N/A	2000KR-0047399	August 17, 2000

INT-CL (IPC): H01L027/108

ABSTRACTED-PUB-NO: KR2002014228A

BASIC-ABSTRACT:

NOVELTY - A method for forming a capacitor electrode using a hard mask is provided to form an electrode of a vertical type, by etching a Pt layer while using a Ru layer as the hard mask or a Pt layer, Ir layer or IrO2 layer as the hard mask.

DETAILED DESCRIPTION - The Pt layer(15) to constitute a lower electrode is formed. A Ru hard mask(16A) is formed on the Pt layer. The Pt layer not covered with the Ru hard mask is selectively etched to form a Pt lower electrode. A dielectric layer and an upper electrode are formed on the Pt lower electrode and the Ru hard mask.

CHOSEN-DRAWING: Dwg.1/10

(19) 대한민국특허청(KR) (12) 공개특허공보(A)

(51) 。 Int. Cl. 7
H01L 27/108

(11) 공개번호 특2002-0014228
(43) 공개일자 2002년02월25일

(21) 출원번호 10-2000-0047399
(22) 출원일자 2000년08월17일

(71) 출원인 주식회사 하이닉스반도체
박중섭
경기 이천시 부발읍 아미리 산136-1

(72) 발명자 박창현
서울특별시도봉구창3동538-6

(74) 대리인 특허법인 신성

심사청구 : 없음

(54) 하드마스크를 이용한 캐패시터 전극 형성 방법

요약

본 발명은 하드마스크의 손상 없이 고유전 캐패시터의 저장전극을 보다 수직한 형상으로 형성할 수 있는 캐패시터 형성 방법에 관한 것으로, Pt막과 Ru막의 복합적층 구조를 이용하여 Pt막 식각시 Ru막을 하드마스크로 이용하거나, Ru막 식각시 Pt 등을 하드마스크로 이용하고, 하드마스크를 저장전극으로 사용함으로써 TiN막 및 산화막 하드마스크를 이용하여 Pt막을 식각하는 경우에 비하여 공정을 단순화시킬 수 있으며 원하는 수직 형상의 전극을 형성할 수 있다.

대표도
도 2

색인어
캐패시터, 전극, Pt, Ru, 하드마스크

명세서

도면의 간단한 설명

도 1 내지 도 4는 본 발명의 실시 예에 따른 캐패시터 전극 형성 공정 단면도.

도면의 주요부분에 대한 도면 부호의 설명

15: Pt막 15A: Pt 하부전극

16: Ru막 16A: Ru 하부전극

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 메모리 소자 제조 방법에 관한 것으로, 특히 캐패시터 전극 형성 방법에 관한 것이다.

반도체 소자에서 캐패시터의 정전용량(C)은 수학적식1에 보이는 바와 같이 유전율(ϵ)과 전극 표면적(A)에 비례하고 유전체 두께(d)에 반비례한다.

수학적식 1

$$C = \epsilon A / d$$

따라서 극단적으로 미세화되어 가는 반도체 소자의 제조 공정에 있어서, 반도체 소자가 적절히 동작하기 위한 일정량의 정전용량(capacitance)을 확보하기 위하여 저장전극의 모양을 3차원 구조로 형성하여 저장전극의 표면적을 증가시키거나, 높은 유전율을 갖는 BST 등과 같은 고유전체 물질을 사용하여 정전용량을 확보하는 방법이 연구되고 있다. 그러나, 3차원 형태의 저장전극을 형성하기에는 복잡한 공정이 요구되므로 제조원가의 상승 및 공정 증가에 따른 수율 하락의 단점이 있으며, BST 고유전체의 사용은 산소 화학정량(stoichiometry)을 엄격히 유지하기 어려워 누설전류 특성이 열화되는 문제를 안고 있다. 또한, BST를 유전막으로 이용할 경우에는 전극으로 산화저항성이 큰 Pt 등과 같은 귀금속(noble metal)을 사용해야하는데, 이러한 물질은 매우 안정하여 화학적 식각 공정이 어렵다. 그에 따라 물리적 식각인 스퍼터링(sputtering) 방법을 이용하여야 하므로, 수직한 형상을 얻기 어려운 문제가 있다.

따라서, 종래의 Pt 식각기술에서는 TiN막 또는 산화막 하드마스크(hard mask)를 사용하여 고온에서 식각을 실시하여 수직한 형상을 얻고자 시도 중이나, TiN 하드 마스크는 증착 특성상 두껍게 형성할 수 없어 이온산란(ion scattering) 효과를 이용할 수 없으며, 후속 공정을 위하여 TiN 하드마스크 제거 공정이 추가로 필요하다. 산화막 하드마스크는 이온산란 효과를 이용할 수 있으나, Pt 식각 선택비 측면에서 TiN 하드마스크 보다 열악하여 식각도중 침식되는 단점이 있다. 보다 수직한 Pt 프로파일을 얻기 위해서는 이온의 산란 효과를 높이고, 식각시 발생하는 산화막 하드마스크의 침식을 감안하여 산화막 하드마스크의 두께를 증가시켜야만 하나, 초미세 패터닝을 위해 얇은 포토레지스트를 사용하거나 전자빔을 사용하는 경우 산화막 하드마스크 식각시 프로파일 제어 및 포토레지스트 마진(margin) 확보에 기술적인 어려움이 따른다.

발명이 이루고자 하는 기술적 과제

상기와 같은 문제점을 해결하기 위한 본 발명은 하드마스크의 손상 없이 고유전 캐패시터의 저장전극의 보다 수직한 형상으로 형성할 수 있는 캐패시터 형성 방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

상기와 같은 목적을 달성하기 위한 본 발명은 하부전극을 이룰 Pt막을 형성하는 단계; 상기 Pt막 상에 Ru 하드마스크를 형성하는 단계; 상기 Ru 하드마스크로 덮이지 않은 상기 Pt막을 선택적으로 식각하여 Pt 하부전극을 형성하는 단계; 및 상기 Pt 하부전극 및 상기 Ru 하드마스크 상에 유전막 및 상부전극을 형성하는 단계를 포함하는 캐패시터 형성 방법을 제공한다.

또한 상기 목적을 달성하기 위한 본 발명은, 하부전극을 이룰 Ru막을 형성하는 단계; 상기 Pt막 상에 Pt, Ir, 또는 IrO_2 중 어느 하나의 물질로 하드마스크를 형성하는 단계; 상기 하드마스크로 덮이지 않은 상기 Ru막을 선택적으로 식각하여 Ru 하부전극을 형성하는 단계; 및 상기 Ru 하부전극 및 상기 하드마스크 상에 유전막 및 상부전극을 형성하는 단계를 포함하는 캐패시터 형성 방법을 제공한다.

본 발명은 Pt막과 Ru막의 복합적층(hybrid stack) 구조를 이용하여 Pt막 식각시 Ru막을 하드마스크로 이용하거나, Ru막 식각시 Pt 등을 하드마스크로 이용하고, 하드마스크를 저장전극으로 사용함으로써 TiN막 및 산화막 하드마스크를 이용하여 Pt막을 식각하는 경우에 비하여 공정을 단순화시킬 수 있으며 원하는 수직 형상의 전극을 형성할 수 있다.

또한 산화막 및 TiN막 하드마스크 제거시 발생할 수 있는 중간절연막의 손실을 크게 줄여 소자의 신뢰성 확보에 유리하다.

본 발명은 포토레지스트를 식각장벽층으로 이용하여 Ru막을 식각한 후, 패턴 형성된 Ru막을 식각장벽층으로 이용하여 Pt막을 식각하기 위하여 Ru막 식각시에는 Ar과 Cl_2 를 포함하는 혼합기체를 이용하고, Pt막 식각시에는 Cl_2 와 O_2 를 포함하는 혼합기체를 이용한다.

Ar과 Cl_2 를 가스를 이용하여 Ru를 식각할 때 10 mTorr 이하의 낮은 압력과 100 W 정도되는 중간 크기의 바이어스 전력(medium bias power) 조건으로 포토레지스트와 Ru의 식각선택비를 1:1까지 확보할 수 있으며, 고온 공정인 경우 CD 바이어스(critical dimension bias)를 최소화할 수 있다.

또한 Ru 식각후 Cl_2/O_2 의 가스비를 1:1 이상으로하며, 10 mTorr 이하의 낮은 압력과 80 W 내지 150 W 정도되는 중간 크기의 바이어스 전력(medium bias power) 조건에서 Pt를 식각하는 경우 Pt와 Ru의 식각선택비를 5:1 이상으로 유지할 수 있다.

한편, Pt 식각 후 잔류하는 Ru를 그대로 저장전극으로 사용가능함으로써 공정의 단순화 및 중간절연막의 손실을 최소화시킬 수 있다. 본 발명을 이용하는 경우 Ru를 약 1000 Å 정도만 증착하여도 단차비를 5:1 이상 유지하여 Pt막을 식각할 수 있다. 고온공정에서는 수직한 Pt막 형상을 얻을 수 있어 0.1 μm 이하의 선폭을 갖는 고집적 반도체 소자 제조에 적극 활용할 수 있다.

이하, 첨부된 도면 도 1 내지 도 4를 참조하여 본 발명의 실시예에 따른 강유전체 캐패시터 제조 방법을 설명한다.

먼저 도 1에 도시한 바와 같이, 트랜지스터 등의 하부구조(도시하지 않음) 형성이 완료된 반도체 기판(10) 상에 중간절연막(11)을 형성하고, 중간절연막(11)을 선택적으로 식각하여 반도체 기판(10)을 노출시키는 콘택홀을 형성한 다음, 콘택홀 일부를 폴리실리콘, W, Al 또는 TiN 등으로 채워 플러그(12)를 형성하고 플러그 상에 TiN 등으로 장벽금속층(14)을 형성한 후, 전체 구조 상에 캐패시터 하부전극을 이룰 Pt막(15)을 형성하고, Pt막 상에 Ru막(16)을 형성하고, 포토레지스트 패턴(PR)을 형성한다.

다음으로 도 2에 보이는 바와 같이, 포토레지스트 패턴(PR)으로 덮이지 않은 Ru막(16)을 식각해서 Ru 하드마스크(16A)를 형성하고, 포토레지스트 패턴(PR)을 제거한다.

이어서 Ru 하드마스크(16A)로 덮이지 않은 Pt(15)을 식각해서 도 3에 도시한 바와 같이 Pt 하부전극(15A)을 형성한다. 이때 Pt 식각 고선택비를 얻고 Ru의 손상을 방지하기 위하여 Cl_2/O_2 또는 HBr/O_2 가스비가 1 보다 크고, 10 mTorr 보다 낮은 압력, 80 W 내지 150 W의 바이어스 전력 조건으로 식각을 실시한다.

다음으로 Ru 하드마스크(16A)를 제거하지 않고, Pt 하부전극(15A) 및 Ru 하드마스크(16A) 상에 BST, PZT, SBT, Ta_2O_5 등으로 유전막(15)을 형성하고, 유전막(15) 상에 Pt, Ru, Ir, IrO_2 , RuO_2 또는 TiN 등으로 상부전극을 형성한다.

전술한 본 발명의 실시예에서는 Pt를 식각하기 위해 Ru을 하드마스크로 이용하는 경우를 설명하였지만, Ru을 식각하기 위해 Pt, Ir, 또는 IrO₂ 층을 하드마스크로 이용할 수도 있다. 이때 Ru 식각 고선택비를 얻고 Pt의 손상을 방지하기 위하여 Cl₂/O₂ 또는 HBr/O₂ 가스비가 1 보다 작고, 10 mTorr 내지 100 mTorr 압력, 100 W 정도의 바이어스 전력 조건으로 식각을 실시한다.

이상에서 설명한 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

발명의 효과

상기와 같이 이루어지는 본 발명은 Ru을 하드마스크로 이용하여 Pt막을 식각하거나 Pt, Ir, 또는 IrO₂ 층을 하드마스크로 이용하여 Pt막을 식각함으로써 수직형상의 전극을 형성하는 것이 가능하다.

(57) 청구의 범위

청구항 1.

캐패시터 형성 방법에 있어서,

하부전극을 이룰 Pt막을 형성하는 단계;

상기 Pt막 상에 Ru 하드마스크를 형성하는 단계;

상기 Ru 하드마스크로 덮이지 않은 상기 Pt막을 선택적으로 식각하여 Pt 하부전극을 형성하는 단계; 및

상기 Pt 하부전극 및 상기 Ru 하드마스크 상에 유전막 및 상부전극을 형성하는 단계

를 포함하는 캐패시터 형성 방법.

청구항 2.

제 1 항에 있어서,

상기 Pt막을,

Cl₂/O₂ 또는 HBr/O₂ 가스비가 1 보다 크고, 10 mTorr 보다 낮은 압력, 80 W 내지 150 W의 바이어스 전력 조건에서 식각하는 것을 특징으로 하는 캐패시터 형성 방법.

청구항 3.

캐패시터 형성 방법에 있어서,

하부전극을 이룰 Ru막을 형성하는 단계;

상기 Pt막 상에 Pt, Ir, 또는 IrO₂ 중 어느 하나의 물질로 하드마스크를 형성하는 단계;

상기 하드마스크로 덮이지 않은 상기 Ru막을 선택적으로 식각하여 Ru 하부전극을 형성하는 단계; 및

상기 Ru 하부전극 및 상기 하드마스크 상에 유전막 및 상부전극을 형성하는 단계

를 포함하는 캐패시터 형성 방법.

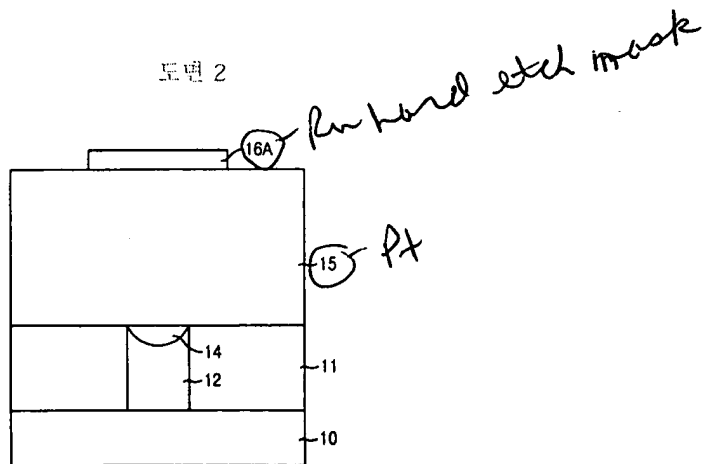
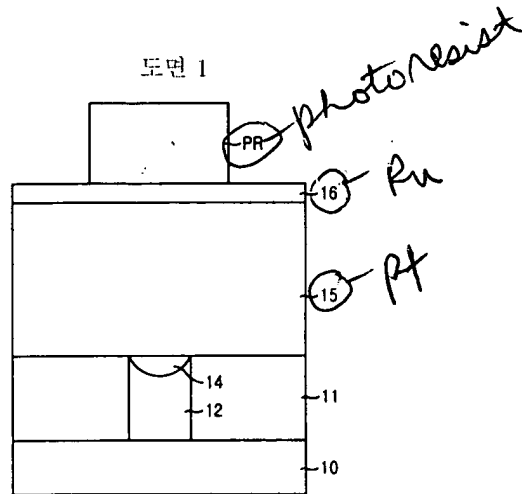
청구항 4.

제 3 항에 있어서,

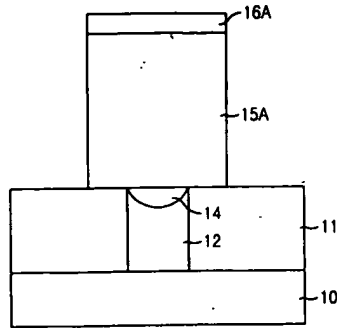
상기 Ru막을,

Cl_2/O_2 또는 HBr/O_2 가스비가 1 보다 작고, 10 mTorr 내지 100 mTorr 압력, 100 W의 바이어스 전력 조건에서 식각하는 것을 특징으로 하는 캐패시터 형성 방법.

도면



도면 3



도면 4

